

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Tzong-Liang TSAI  
Application No. : New Application  
Filed : March 4, 2004  
Title : GROUP III NITRIDES SEMICONDUCTOR DEVICE  
AND MANUFACTURING PROCESS  
Docket No. : BHT/3232-9

**MAIL STOP NEW APPLICATION**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**CLAIM TO PRIORITY UNDER 35 U.S.C. § 119**


Sir:

Pursuant to the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, Applicant hereby claims priority from Taiwan Patent Application No. 092129057, filed on October 20, 2003. A certified copy of this application is enclosed.

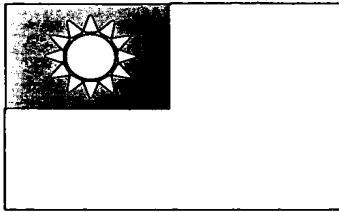
Acknowledgment of the receipt of the claim to priority, along with the certified copy of the priority document is respectfully requested.

Respectfully submitted,

Date: March 4, 2004

By:   
Bruce H. Troxell  
Reg. No. 26,592

TROXELL LAW OFFICE PLLC  
5205 Leesburg Pike, Suite 1404  
Falls Church, Virginia 22041  
Telephone: (703) 575-2711  
Telefax: (703) 575-2707



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 10 月 20 日  
Application Date

申請案號：092129057  
Application No.

申請人：國聯光電科技股份有限公司  
Applicant(s)

局長  
Director General

蔡鍊生

發文日期：西元 2004 年 1 月 29 日  
Issue Date

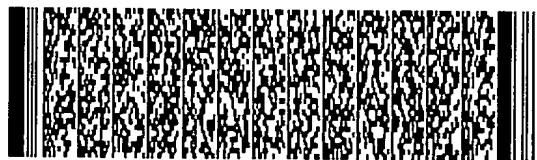
發文字號：09320073920  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	III族氮化物半導體元件及其製程
	英 文	Group III nitrides semiconductor device and manufacturing process
二、 發明人 (共2人)	姓 名 (中文)	1. 蔡宗良 2. 張智松
	姓 名 (英文)	1. Tsai, Tzong-Liang 2. Chang, Chih-Sung
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹市高翠路160巷130號3F 2. 新竹市明湖路400巷51弄1號
	住居所 (英 文)	1. 3F, No. 130, Lane 160, Gaocuei Rd., Hsinchu City 300, Taiwan, R.O.C. 2. No. 1, Alley 51, Lane 400, Minghu Rd., Hsinchu City 300, Taiwan,
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 國聯光電科技股份有限公司
	名稱或 姓 名 (英文)	1. United Epitaxy Company, Ltd.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行路10號9樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 9F, No. 10, Li-Hsin Rd, Science-based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 黃國欣
	代表人 (英文)	1. Huang, Kuo Hsin



四、中文發明摘要 (發明名稱：III族氮化物半導體元件及其製程)

III族氮化物半導體元件及其製程

一種由非晶性氮化矽層、金屬鋁介面層、非晶性氮化鋁前置層及多晶性含鋁元素之III族氮化物層所構成的應力釋緩層，其位於矽基板與III族氮化物半導體間，用以舒解III族氮化物材料與矽基板間因彼此晶格常數及熱膨脹係數差異所產生的應力，避免因應力造成III族氮化物半導體破裂之III族氮化物半導體元件之結構與製程。

(一)、本案代表圖為：第九圖

(二)、本案代表圖之元件代表符號簡單說明：

80 發光二極體結構

81 矽基板

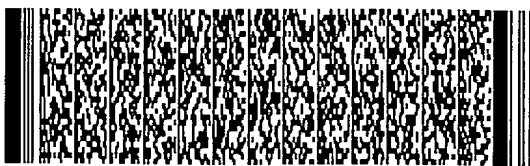
82 應力釋緩層

83 n型III族氮化物導電層

六、英文發明摘要 (發明名稱：Group III nitrides semiconductor device and manufacturing process)

Group III nitrides semiconductor device and manufacturing process

A stress-absorbing layer including an amorphous silicon nitride layer, an aluminum interface layer, an amorphous aluminum nitride pre-layer, and a poly-aluminiferous Group III nitrides layer is put between silicon substrate



四、中文發明摘要 (發明名稱：Ⅲ族氮化物半導體元件及其製程)

84 發光層

85 p型Ⅲ族氮化物導電層

86 透明電極

87 p型電極

88 n型電極

六、英文發明摘要 (發明名稱：Group III nitrides semiconductor device and manufacturing process)

and Group III nitrides semiconductor. It can reduce the stress, which is from the differences of lattice and thermal expansion coefficient between silicon substrate and Group III nitrides semiconductor, and avoid to form the crack of Group III nitrides semiconductor.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

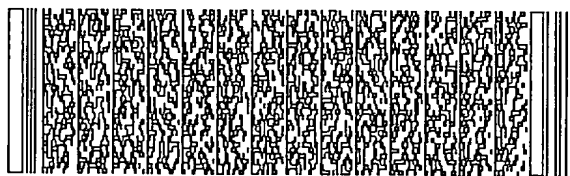
### [發明所屬之技術領域]

本發明是有關於一種Ⅲ族氮化物半導體元件及其製程，特別是針對一種藉由位於矽基板與Ⅲ族氮化物半導體間之應力釋緩層，舒解Ⅲ族氮化物材料與矽基板間因彼此晶格常數及熱膨脹係數差異所產生的應力，避免因應力造成Ⅲ族氮化物半導體破裂之Ⅲ族氮化物半導體元件及其製程。

### [先前技術]

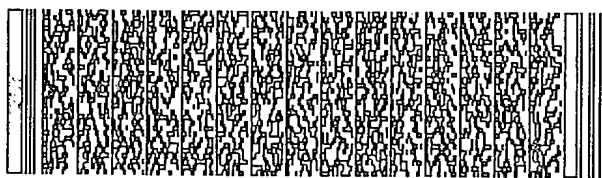
沈積高品質Ga<sub>2</sub>N化合物薄膜所使用的成長方法，一般可區別成兩組方法。第一組為包含有機金屬化學氣相沈積(MOCVD)法或電漿加速MOCVD法為MOCVD變形例之類的方法。此組所有方法的特點在於使用10~1030hPa的代表反應爐壓及500~1100℃的高品質Ga<sub>2</sub>N成長溫度。控制Ga<sub>2</sub>N成長的手法包含氣相化學反應及基板表面或半導體薄膜表面間的化學反應。第二組包含分子束磊晶(MBE)法及氣源分子束磊晶(GSMBE)法、化學光束磊晶(CBE)法或有機金屬分子束磊晶(MOMBE)法之類的關聯方法。此組因無0.001hPa以下的低爐壓及氣相反應而和前述之MOCVD法不同。

圖1為顯示MOCVD法的示意圖，圖中之構件分別為藍寶石基板10、反應爐11、基座12、加熱器13、反應氣體注入



## 五、發明說明 (2)

管 14、注入副管 15、排出泵 16、馬達 17 及排出管 18。利用以下步驟在藍寶石基板 10 成長 4 $\mu$ m 膜厚的 GaN 磊晶層。首先，於反應爐 11 保持在 1030hPa 的壓力下，將具有 2 英寸直徑的洗淨的藍寶石基板 10 放置於基座 12 上。並以排出泵 16 充分排出不鏽鋼製反應爐 11 內的空氣。其次，將 H<sub>2</sub> 氣體導入反應爐 11 內，藉此以 H<sub>2</sub> 氣體調換反應爐 11 內的空氣。然後，一方面從反應爐 11 內的反應氣體注入管 14 及在反應爐 11 上部的注入副管 15 供給反應爐 11 內 H<sub>2</sub> 氣體，一方面則利用基座 12 下方之加熱器 13 加熱到 1060℃，保持此狀態 10 分鐘，這是為了從藍寶石基板 10 表面除去氧化膜。接下來，將基座 12 的溫度降低到 500℃，直到藍寶石基板 10 溫度穩定後，再從注入副管 15 注入 H<sub>2</sub> 和 N<sub>2</sub> 的氣體混合物，反應氣體注入管 14 供給氨氣 (NH<sub>3</sub>) 和 H<sub>2</sub> 氣的氣體混合物。從注入副管 15 所供給的 H<sub>2</sub> 氣體和 N<sub>2</sub> 氣體的各自流速為 10 公升／分，從反應氣體注入管 14 所供給的氨氣和 H<sub>2</sub> 氣的流速分別為 4 公升／分，1 公升／分，維持此狀態到基座 12 的溫度在 500℃ 穩定。接下來的步驟為形成緩衝層，除從反應氣體注入管 14 供給的氨氣和 H<sub>2</sub> 氣外，並以  $2.7 \times 10^{-5}$  莫耳／分的流速輸入三甲基鎵 (TMG) 氣體 1 分鐘，以生成一 0.02 $\mu$ m 厚的緩衝層。接著停止 TMG 氣體的輸入，但維持除 TMG 以外的氣體繼續流動，並將基座 12 的溫度上升到 1020℃，此時，再將 TMG 氣體以  $5.4 \times 10^{-5}$  莫耳／分的流速流動 60 分鐘，使 GaN 磊晶層長成具有 4.0 $\mu$ m 的膜厚。

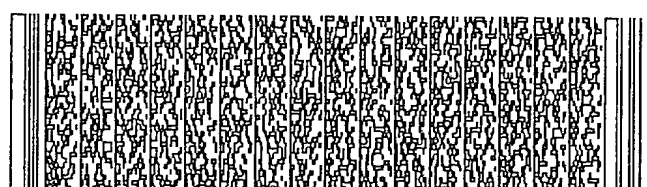
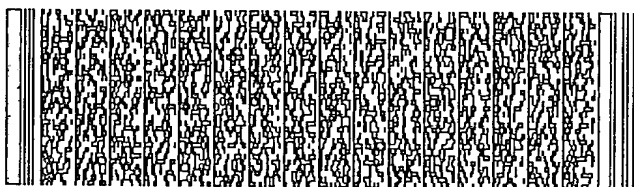




### 五、發明說明 (3)

在前述的製程中，一方面注入副管15持續地供給H<sub>2</sub>氣體和N<sub>2</sub>氣體，這是為了避免反應爐11的內部被反應氣體所污染。另一方面藉由馬達17輸入動力使基座12以5rpm的速度旋轉，讓結晶穩定地成長。在供給氣體的同時，將所供給的氣體由排出管18排出外界，此排出管18係從排出泵16的配管所分出。如此一來，0.02 $\mu$ m厚的Ga<sub>0.5</sub>N<sub>0.5</sub>緩衝層和4 $\mu$ m厚的Ga<sub>0.5</sub>N<sub>0.5</sub>磊晶層在藍寶石基板10上被形成(參照USP5,290,393號專利說明書)。

圖2為記載於Inst.Phys.Conf.Ser.No.141(1994)p.119之顯示另一種MOCVD法的高速旋轉圓盤MOCVD反應爐簡單示意圖，在圖中的構件包含MOCVD反應爐20、氮氣源分配歧管21、III族分配歧管22、調整針閥23、篩網24及晶圓載體25。MOCVD反應爐20與圖1的反應爐不同點在於，第一、所有的氣體均由上方供給，III族為III族分配歧管22所供給，氮氣源和III族源分離，為氮氣源分配歧管21所供給。第二、所有氣體流動的分佈可用調整針閥23控制，並透過篩網24來供給均勻的氫流至在晶圓載體25上的基板(圖中未顯示)，以生成所希望的半導體薄膜。第三、為改善薄膜之均勻性，晶圓載體25以高速旋轉(500~1000rpm)。反應爐20的壓力最好介於76~200托(約10~26hPa)的範圍內。此外，可使高品質的Ga<sub>0.5</sub>N<sub>0.5</sub>在薄的Ga<sub>0.5</sub>N<sub>0.5</sub>緩衝層上以1030°C的高成長溫度成長，此Ga<sub>0.5</sub>N<sub>0.5</sub>緩衝層係以200托(約26hPa)的爐壓使用氮氣和TMG以540°C沈積而得。



#### 五、發明說明 (4)

圖 3 為記載於 J. Crystal Growth 150 (1995) p. 912 顯示利用 MBE 法成長 GaN 薄膜之 MBE 室示意圖，在圖中，30 為高真空 MBE 室、31 為基板、32 為氣體注入器、33 為 MBE 爐、34 為電子衍射裝置、35 為基板加熱器。以 MBE 法或類似方法所成長的 GaN，係藉由以下的製程而得。首先，基板 31 被送到高真空 MBE 室 30 內，以約 900°C 的高溫進行熱回火。其次，藉由氣體注入器 32 將基板 31 置於氮氣源氣體中，並以 400°C 的基板溫度被氮化。接下來，導入 Ga 源射束以沈積 GaN 之低溫緩衝層，此 Ga 源射束是利用來自 MBE 爐 33 的原子狀鎵射束或利用氣體注入器 32 所導入的三乙基鎵 (TEG) 或 TMG 之類的有機金屬鎵先驅物。最後，以 600°C ~ 860°C 範圍內的高溫沈積高品質 GaN 層。此方法的優點，係可利用電子衍射裝置 (RHHED) 34 當場 (in-situ) 解析膜質。N 的最理想先驅物為 NH<sub>3</sub> 或 N<sub>2</sub>、NH<sub>3</sub> 混合氣體，Ga 最理想的先驅物通常使用 TEG 或 TMG，並使用 N<sub>2</sub> 和 H<sub>2</sub> 的混合物作為載運氣體。另外，與 MBE 法有關的方法中，還可利用電子環繞共振式 (ECR) 電漿、N<sub>2</sub> 的微波活性化或 NH<sub>3</sub> 的溫度熱裂生成氮原子團或原子。

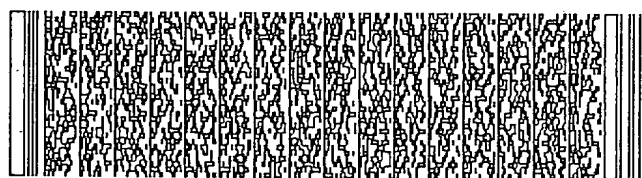
接著，就用於得到高品質 GaN 化合物薄膜的基板及成長的構造加以說明 (參照 USP 5, 290, 393 號專利說明書)。GaN 化合物成長用所使用的基板一般為藍寶石及 SiC 晶圓。圖 4 顯示生成高品質 GaN 化合物層之一種結構剖面



#### 五、發明說明 (5)

圖，包含藍寶石或SiC晶圓40、低溫 $GaxAl_{1-x}N$ 緩衝層41、 $GaxAl_{1-x}N$ 化合物半導體層42。首先，在藍寶石或SiC基板40上，經過適當的洗淨製程後，將化學組成為 $GaxAl_{1-x}N$  ( $0 \leq x \leq 1$ )的低溫緩衝層41在 $200^{\circ}C \sim 700^{\circ}C$ 的低溫範圍沈積約 $10nm \sim 200nm$ 膜厚的非晶體層，再將其轉換為平滑的單晶層。最後，在 $700^{\circ}C \sim 1150^{\circ}C$ 範圍的溫度沈積 $GaxAl_{1-x}N$  ( $0 \leq x \leq 1$ )結構的化合物半導體層42於低溫 $GaxAl_{1-x}N$ 緩衝層41上，可得到具有高品質光學及電氣特性的化合物半導體層。

然而，使用上述藍寶石或SiC基板生成的高品質GaN卻有以下問題。第一、一片直徑2英寸大小之藍寶石晶圓需65~240美元， $1cm \times 1cm$ 大小之SiC晶圓亦需200美元，很昂貴。第二、GaN和SiC之間的晶格不匹配為約3.5%，GaN和藍寶石之間的晶格不匹配更大，為約16%。第三、由於藍寶石為絕緣體，所以不能在基板背面側形成電極，形成電極的製程更昂貴。第四，藍寶石的熱膨脹係數和GaN的熱膨脹係數大不相同，所以成長製程更複雜。第五，藍寶石為烏采型結晶構造，所以在製造雷射元件上會有其他的問題產生。為了克服這些問題，已有若干的研究報告產生，例如USP6,445,009、USP6,391,748、USP6,218,207、USP5,389,571、USP5,239,188等專利說明書，以下僅就USP5,239,188予以說明，圖5為在矽(Si)基板上成長GaN化合物半導體層之半導體裝置結構剖面圖，基板53為低電阻



#### 五、發明說明 (6)

晶面指數 (Miller indices) 為 111 之廉價 n-Si 基板，以上述提及之方法沈積低溫 AlN 緩衝層 54 於基板 53 上，再以高溫依次沈積高品質之 n-GaN 層 55 及 p-GaN 層 56 於低溫 AlN 緩衝層 54 上，最後並製作 p 型電極 57 及 n 型電極 58。此結構造因使用 Si 基板而解決前述基板價格昂貴及使用藍寶石基板而產生的問題，但因第一、GaN 無法順利地在 Si 基板上形成單晶性 GaN 層，大多形成六角錐狀的 GaN 結晶柱，第二、GaN 與矽基板因材料晶格常數及熱膨脹係數不同而造成應力的產生，此應力累積將使 GaN 磊晶層產生裂痕，如圖 6 所示，使得元件無法製作，因此 GaN 與 Si 之間介面的處理便成為磊晶片品質最重要的部份。

#### [發明內容]

本發明的一個目的，在於提供一種可直接形成單晶性 III 族氮化物半導體元件於矽基板上的製程。

本發明的另一個目的，在於提供一種以應力釋緩層舒緩 III 族氮化物材料與矽基板間因彼此晶格常數及熱膨脹係數差異所產生的應力，避免因應力造成 III 族氮化物半導體元件破裂之製程。

本發明的又一個目的，在於提供一種可直將單晶性 III 族氮化物半導體元件形成於矽基板之半導體元件。



## 五、發明說明 (7)

本創作的再一個目的，在於提供一種以應力釋緩層舒緩Ⅲ族氮化物材料與矽基板間因彼此晶格常數及熱膨脹係數差異所產生的應力，避免因應力造成Ⅲ族氮化物半導體破裂之半導體元件。

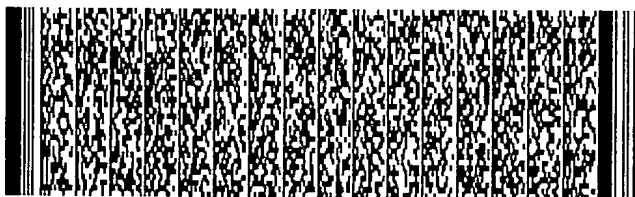
根據以上所述之目的，本發明提供了一種Ⅲ族氮化物半導體元件，包含：一單晶矽基板；一位於矽基板上方之應力釋緩層，其具有一非晶性氮化矽層，形成於矽基板上；一金屬鋁介面層，形成於非晶性氮化矽層上；一非晶性氮化鋁前置層，形成於金屬鋁介面層上；及一多晶性含鋁元素之Ⅲ族氮化物層，形成於非晶性氮化鋁前置層上方；及一單晶性Ⅲ族氮化物半導體元件結構層，形成於多晶性含鋁元素之Ⅲ族氮化物層上方。

根據上述構想，其中單晶矽基板為低電阻矽基板。

根據上述構想，其中非晶性氮化矽層係經一氮化製程(nitridation)形成。

根據上述構想，其中非晶性氮化矽層之厚度約介於3A~500A之間，其最佳厚度則約為10A~30A。

根據上述構想，其中金屬鋁介面層之厚度則約介於



## 五、發明說明 (8)

5A~20A之間。

根據上述構想，其中金屬鋁介面層與非晶性氮化矽層之間形成鋁-氮鍵結。

根據上述構想，其中非晶性氮化鋁前置層之厚度則約介於5A~500A之間。

根據上述構想，其中非晶性氮化鋁前置層形成時，會與金屬鋁介面層進行重排，使得非晶性氮化鋁前置層與矽基板之間的應力釋緩。

根據上述構想，其中多晶性含鋁元素之III族氮化物層係作為單晶性III族氮化物層之緩衝層。

根據上述構想，其中半導體元件係從下列選出：發光二極體、雷射二極體、光二極體(photodiode)、微電子元件結構及微機電元件結構。

根據上述構想，其中單晶性III族氮化物半導體元件結構層更包含：一發光層(active layer)；一第一III族氮化物導電層，介於發光層與應力釋緩層之間；及一第二III族氮化物導電層，位於發光層之上，其導電性與第一III族氮化物導電層相異。



## 五、發明說明 (9)

根據上述構想，其中單晶性Ⅲ族氮化物半導體元件結構層更包含一第一電極，位於第二Ⅲ族氮化物導電層之上。

根據上述構想，其中第一電極係藉由蝕刻部分第二Ⅲ族氮化物導電層而得。

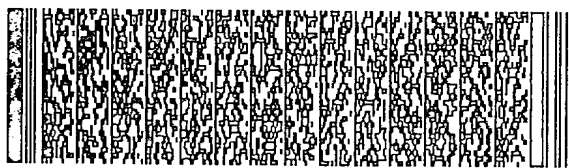
根據上述構想，其中單晶性Ⅲ族氮化物半導體元件結構層更包含一第一電極，係位於矽基板之下方。

根據上述構想，其中單晶性Ⅲ族氮化物半導體元件結構層更包含一透明電極，位於第一Ⅲ族氮化物導電層之上。

根據上述構想，其中單晶性Ⅲ族氮化物半導體元件結構層更包含一第二電極，位於透明電極之上。

根據上述構想，其中電極之材料係從下述者選出：Ti / Al 及 Ni / Au。

根據上述構想，其中發光層之結構係從下述者選出：同質結構(homostructure)、異質結構(heterostructure)、雙異質結構(double-



五、發明說明 (10)

heterostructure)、單量子井結構(single-quantum-well)與多重量子井結構(multiple-quantum-well)。

根據以上所述之目的，本發明提供了一種Ⅲ族氮化物半導體元件製程，包含：形成一單晶矽基板；形成一非晶性氮化矽層於矽基板上；形成一金屬鋁介面層於非晶性氮化矽層上；形成一非晶性氮化鋁前置層於金屬鋁介面層上；形成一多晶性含鋁元素之Ⅲ族氮化物層於非晶性氮化鋁前置層上方；及形成一單晶性Ⅲ族氮化物半導體元件結構層於多晶性含鋁元素之Ⅲ族氮化物層上方。

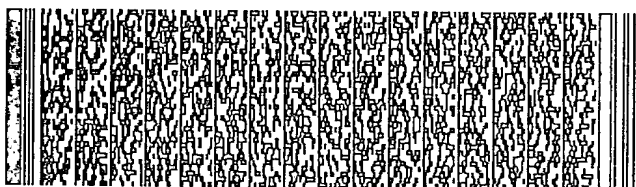
根據上述構想，其中單晶矽基板為低電阻矽基板。

根據上述構想，其中非晶性氮化矽層係經一氮化製程(nitridation)以形成。

根據上述構想，其中非晶性氮化矽層之厚度約介於3A~500A之間，其最佳厚度則約為10A~30A。

根據上述構想，其中金屬鋁介面層之厚度則約介於5A~20A之間。

根據上述構想，其中金屬鋁介面層與非晶性氮化矽層之間形成鋁—氮鍵結。





## 五、發明說明 (11)

根據上述構想，其中非晶性氮化鋁前置層之厚度則約介於 5Å~500Å 之間。

根據上述構想，其中非晶性氮化鋁前置層形成時，會與金屬鋁介面層進行重排，使得非晶性氮化鋁前置層與矽基板之間的應力釋緩。

根據上述構想，其中多晶性含鋁元素之 III 族氮化物層係作為單晶性 III 族氮化物層之緩衝層。

根據上述構想，其中半導體元件係從下列選出：發光二極體、雷射二極體、光二極體 (photodiode)、微電子元件結構及微機電元件結構。

根據上述構想，其中形成該單晶性 III 族氮化物半導體元件結構層之步驟更包含：形成一發光層 (active layer)；形成一介於發光層與應力釋緩層之間之第一 III 族氮化物導電層；及形成一位於發光層之上之第二 III 族氮化物導電層，其導電性與第一 III 族氮化物導電層相異。

根據上述構想，其中形成單晶性 III 族氮化物半導體元件結構層之步驟更包含形成位於第二 III 族氮化物導電層上方之一第一電極。



## 五、發明說明 (12)

根據上述構想，其中第一電極係藉由蝕刻部分第二Ⅲ族氮化物導電層而得。

根據上述構想，其中形成單晶性Ⅲ族氮化物半導體元件結構層之步驟更包含形成位於矽基板下方之一第一電極。

根據上述構想，其中形成單晶性Ⅲ族氮化物半導體元件結構層之步驟更包含位於第一Ⅲ族氮化物導電層上方之一透明電極。

根據上述構想，其中形成單晶性Ⅲ族氮化物半導體元件結構層之步驟更包含位於透明電極上方之一第二電極。

根據上述構想，其中電極之材料係從下述者選出：Ti / Al 及 Ni / Au。

根據上述構想，其中發光層之結構係從下述者選出：同質結構(homostructure)、異質結構(heterostructure)、雙異質結構(double-heterostructure)、單量子井結構(single-quantum-well)與多重量子井結構(multiple-quantum-well)。



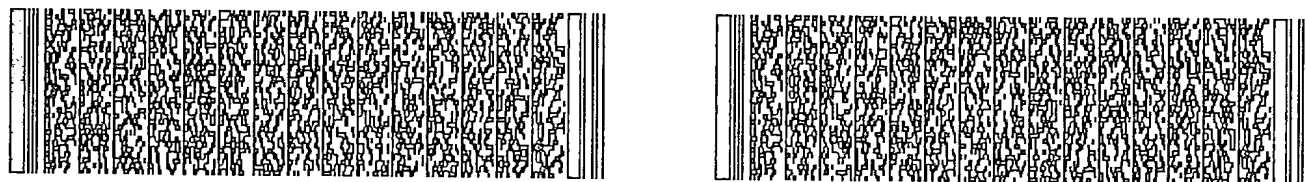
## 五、發明說明 (13)

### [實施方式]

本發明的一些實施例會詳細描述如下。然而，除了詳細描述外，本發明還可以廣泛地在其他的實施例施行，且本發明的範圍不受限定，其以之後的專利範圍為準。

為了要克服習知 GaN 層與 Si 基板之間的問題。本發明在前述二者中加入由多個不同性質的材料層所組成之一應力釋緩層，如圖 7 所示，為根據本發明第一實施例之半導體裝置的結構剖面圖。在矽 (Si) 基板 71 上依序形成由非晶性氮化矽層 721、金屬鋁介面層 722、非晶性氮化鋁前置層 723 及多晶性含鋁元素之 III 族氮化物層 724 所構成的應力釋緩層 72，然後在應力釋緩層 72 上形成單晶性 III 族氮化物層 73。此單晶性 III 族氮化物層 73 構成所希望元件結構 (圖中未顯示) 的一部分，在此單晶性 III 族氮化物層 73 上為了形成上述元件結構而配置其他的單晶性 III 族氮化物層與該元件構造相應的電極 (圖中未顯示)。

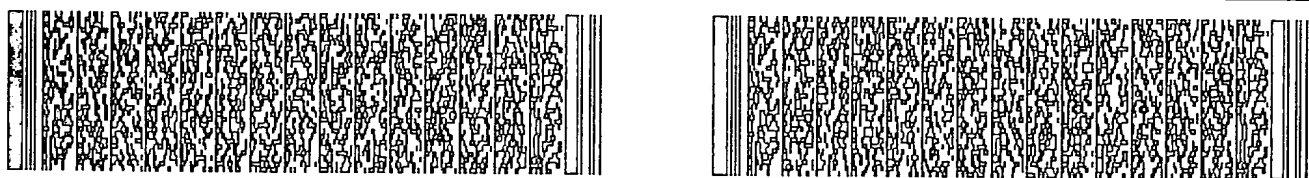
首先形成在矽基板 71 上的是非晶性氮化矽層 721，此層可以在 Si 基板 71 上經由氮化製程 (nitridation) 來形成，即藉由在反應爐中  $N_2$  或  $NH_3$  的量及溫度來控制其厚度及均勻性，另外亦可藉由加入矽前趨物及氮前趨物在矽基板 71 上形成，此非晶性氮化矽層 721 的較佳厚度約介於 3A~500A 之間，最佳厚度則約為 10A~30A 之間。其次，金屬鋁



#### 五、發明說明 (14)

介面層 722 形成於非晶性氮化矽層 721 上，此金屬鋁介面層 722 之目的在於引導 III 族氮化物材料形成前的介面，其較佳厚度約介於 5A~20A 之間。在金屬鋁介面層 722 形成的同時，也在其與非晶性氮化矽層 721 之間形成鋁—氮鍵結，以便隨後非晶性氮化鋁的堆疊。接下來是非晶性氮化鋁前置層 723 成長於金屬鋁介面層 722 上，在此層形成的同時會與金屬鋁進行重排，而使得氮化鋁與矽基板之間的應力釋緩，此層的較佳厚度約介於 5A~500A 之間。最後是多晶性含鋁元素之 III 族氮化物層 724 形成於非晶性氮化鋁前置層 723 上，此層的目的在於作為隨後單晶性 III 族氮化物層 73 之緩衝層，以利單晶性 III 族氮化物層 73 成長，並提升其結晶性。

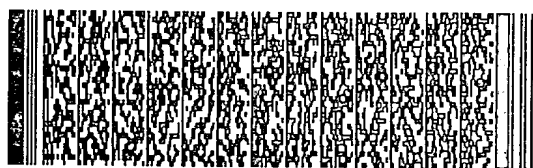
本發明在矽基板上形成包含 III 族氮化物材料之元件，可以是發光二極體、雷射二極體、光二極體 (photodiode)、微電子元件結構及微機電元件結構等，其可由 AlInGaN 類的材料所組成。例如圖 8 所示在矽基板 81 及應力釋緩層 82 上形成之發光二極體結構 80 包含 III 族氮化物 (如 InGaN 材料) 之同質結構 (homostucture)、異質結構 (heterostructurer)、雙異質結構 (double-heterostructurer)、單量子井結構 (single-quantum-well) 或多重量子井結構 (multiple-quantum-well) 之發光層 (active layer) 84，上下連接不同導電性之 III 族氮化物 (AlInGaN 材料) 導電層 85、83，再以蝕刻製程暴露發光二



#### 五、發明說明 (15)

極體 (light emitting diode、LED) 結構 80 中下層的 n 型導電層 83，然後分別在 n 型及 p 型導電層 83、85 鍍上 Ti / Al 或 Ni / Au 之電極 87、88 及一位於 p 型導電層 85 及 p 型電極 87 之間的透明電極 86，藉以形成 LED 結構。另外，若我們一開始選用低電阻矽基板製作 III 族氮化物半導體發光二極體，則可將電極製作在反向位置，如圖 9 所示。

即使本發明係藉由舉出數個較佳實施例來描述，但是本發明並不限定於所舉出之實施例。先前雖舉出與敘述之特定實施例，但是顯而易見地，其它未脫離本發明所揭示之精神下，所完成之等效改變或修飾，均應包含在本發明之申請專利範圍內。此外，凡其它未脫離本發明所揭示之精神下，所完成之其他類似與近似改變或修飾，也均包含在本發明之申請專利範圍內。同時應以最廣之定義來解釋本發明之範圍，藉以包含所有的修飾與類似結構。



圖式簡單說明

[圖式簡單說明]

圖 1 繪示的是一種製造 III 族氮化物半導體元件的 MOCVD 裝置示意圖；

圖 2 繪示的是另一種製造 III 族氮化物半導體元件的 MOCVD 裝置示意圖；

圖 3 繪示的是一種製造 III 族氮化物半導體元件的 MBE 裝置示意圖；

圖 4 繪示的是一種習知 GaN 化合物層之結構剖面圖；

圖 5 繪示的是一種習知在矽 (Si) 基板上成長 GaN 化合物半導體層之結構剖面圖；

圖 6 繪示的是因 GaN 與矽基板之材料晶格常數及熱膨脹係數不同而造成應力產生及累積，而使 GaN 磊晶層產生裂痕；

圖 7 繪示的是根據本發明第一實施例之半導體裝置的結構剖面圖；

圖 8 繪示的是根據本發明第二實施例之半導體裝置的結構剖面圖；及



圖式簡單說明

圖 9 繪示的是根據本發明第三實施例之半導體裝置的結構剖面圖。

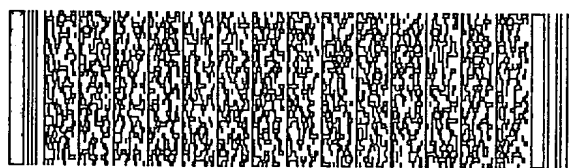
圖式符號說明：

- 10 藍寶石基板
- 11 反應爐
- 12 基座
- 13 加熱器
- 14 反應氣體注入管
- 15 注入副管
- 16 排出泵
- 17 馬達
- 18 排出管
- 20 MOCVD 反應爐
- 21 氮氣源分配歧管
- 22 III 族分配歧管
- 23 調整針閥
- 24 篩網
- 25 晶圓載體
- 30 高真空 MBE 室
- 31 基板
- 32 氣體注入器
- 33 MBE 爐



圖式簡單說明

- 34 電子衍射裝置
- 35 基板加熱器
- 40 藍寶石或SiC晶圓
- 41 低溫Ga<sub>x</sub>Al<sub>1-x</sub>N緩衝層
- 42 Ga<sub>x</sub>Al<sub>1-x</sub>N化合物半導體層
- 53 Si基板
- 54 AlN緩衝層
- 55 n-GaN層
- 56 p-GaN層
- 57 p型電極
- 58 n型電極
- 71 矽(Si)基板
- 72 應力釋緩層
- 721 非晶性氮化矽層
- 722 金屬鋁介面層
- 723 非晶性氮化鋁前置層
- 724 多晶性含鋁元素之III族氮化物層
- 73 單晶性III族氮化物層
- 80 發光二極體結構
- 81 矽基板
- 82 應力釋緩層
- 83 n型III族氮化物導電層
- 84 發光層
- 85 p型III族氮化物導電層





圖式簡單說明

86 透明電極

87 p型電極

88 n型電極



## 六、申請專利範圍

### 申請專利範圍：

1. 一種Ⅲ族氮化物半導體元件，包含：

一單晶矽基板；

一應力釋緩層，位於該矽基板上，包含：

一非晶性氮化矽層，形成於該矽基板上；

一金屬鋁介面層，形成於該非晶性氮化矽層上；

一非晶性氮化鋁前置層，形成於該金屬鋁介面層上；及

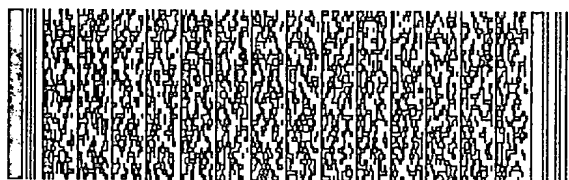
一多晶性含鋁元素之Ⅲ族氮化物層，形成於該非晶性氮化鋁前置層上方；及

一單晶性Ⅲ族氮化物半導體元件結構層，形成於該多晶性含鋁元素之Ⅲ族氮化物層上方。

2. 如申請專利範圍第1項所述之Ⅲ族氮化物半導體元件，其中該單晶矽基板為低電阻矽基板。

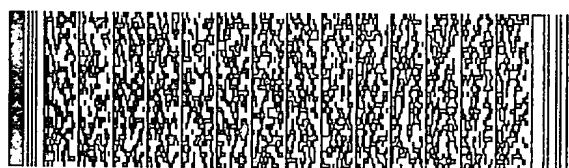
3. 如申請專利範圍第1項所述之Ⅲ族氮化物半導體元件，其中該非晶性氮化矽層係經一氮化製程(nitridation)以形成。

4. 如申請專利範圍第1項所述之Ⅲ族氮化物半導體元件，其中該非晶性氮化矽層之厚度約介於3Å~500Å之間。



#### 六、申請專利範圍

5. 如申請專利範圍第1項所述之Ⅲ族氮化物半導體元件，其中該非晶性氮化矽層之最佳厚度則約為10Å~30Å。
6. 如申請專利範圍第1項所述之Ⅲ族氮化物半導體元件，其中該金屬鋁介面層之厚度則約介於5Å~20Å之間。
7. 如申請專利範圍第1項所述之Ⅲ族氮化物半導體元件，其中該金屬鋁介面層與該非晶性氮化矽層之間形成鋁－氮鍵結。
8. 如申請專利範圍第1項所述之Ⅲ族氮化物半導體元件，其中該非晶性氮化鋁前置層之厚度則約介於5Å~500Å之間。
9. 如申請專利範圍第1項所述之Ⅲ族氮化物半導體元件，其中該非晶性氮化鋁前置層形成時，會與該金屬鋁介面層進行重排，使得該非晶性氮化鋁前置層與該矽基板之間的應力釋緩。
10. 如申請專利範圍第1項所述之Ⅲ族氮化物半導體元件，其中該多晶性含鋁元素之Ⅲ族氮化物層係作為該單晶性Ⅲ族氮化物層之緩衝層。
11. 如申請專利範圍第1項所述之Ⅲ族氮化物半導體元



#### 六、申請專利範圍

件，其中該半導體元件係從下列選出：發光二極體、雷射二極體、光二極體(photodiode)、微電子元件結構及微機電元件結構。

12. 如申請專利範圍第1項所述之Ⅲ族氮化物半導體元件，其中該單晶性Ⅲ族氮化物半導體元件結構層更包含：

一發光層(active layer)；

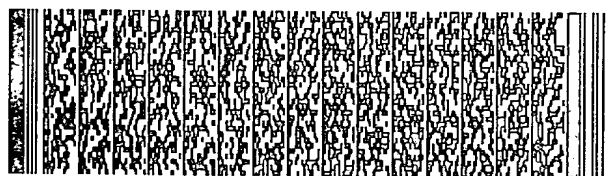
一第一Ⅲ族氮化物導電層，介於該發光層與該應力釋緩層之間；及

一第二Ⅲ族氮化物導電層，位於該發光層之上，其導電性與該第一Ⅲ族氮化物導電層相異。

13. 如申請專利範圍第12項所述之Ⅲ族氮化物半導體元件，其中該單晶性Ⅲ族氮化物半導體元件結構層更包含一第一電極，位於該第二Ⅲ族氮化物導電層之上。

14. 如申請專利範圍第13項所述之Ⅲ族氮化物半導體元件，其中該第一電極係藉由蝕刻該部分第二Ⅲ族氮化物導電層而得。

15. 如申請專利範圍第12項所述之Ⅲ族氮化物半導體元件，其中該單晶性Ⅲ族氮化物半導體元件結構層更包含一第一電極，係位於該矽基板之下方。



六、申請專利範圍

16. 如申請專利範圍第12項所述之Ⅲ族氮化物半導體元件，其中該單晶性Ⅲ族氮化物半導體元件結構層更包含一透明電極，位於該第一Ⅲ族氮化物導電層之上。

17. 如申請專利範圍第16項所述之Ⅲ族氮化物半導體元件，其中該單晶性Ⅲ族氮化物半導體元件結構層更包含一第二電極，位於該透明電極之上。

18. 如申請專利範圍第17項所述之Ⅲ族氮化物半導體元件，其中該電極之材料係從下述者選出：Ti／Al 及Ni／Au。

19. 如申請專利範圍第12項所述之Ⅲ族氮化物半導體元件，其中該發光層之結構係從下述者選出：同質結構(homostructure)、異質結構(heterostructure)、雙異質結構(double-heterostructure)、單量子井結構(single-quantum-well)與多重量子井結構(multiple-quantum-well)。

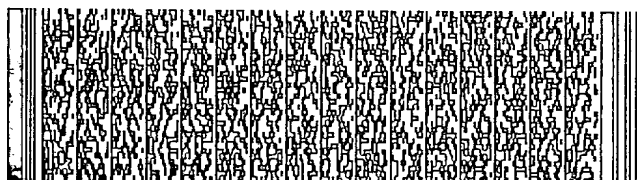
20. 一種Ⅲ族氮化物半導體元件製程，包含：

形成一單晶矽基板；

形成一非晶性氮化矽層於該矽基板上；

形成一金屬鋁介面層於該非晶性氮化矽層上；

形成一非晶性氮化鋁前置層於該金屬鋁介面層上；



#### 六、申請專利範圍

形成一多晶性含鋁元素之Ⅲ族氮化物層於該非晶性氮化鋁前置層上方；及

形成一單晶性Ⅲ族氮化物半導體元件結構層於該多晶性含鋁元素之Ⅲ族氮化物層上方。

21. 如申請專利範圍第20項所述之Ⅲ族氮化物半導體元件製程，其中該單晶矽基板為低電阻矽基板。

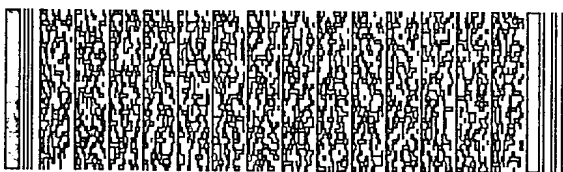
22. 如申請專利範圍第20項所述之Ⅲ族氮化物半導體元件製程，其中該非晶性氮化矽層係經一氮化製程(nitridation)以形成。

23. 如申請專利範圍第20項所述之Ⅲ族氮化物半導體元件製程，其中該非晶性氮化矽層之厚度約介於3A~500A之間。

24. 如申請專利範圍第20項所述之Ⅲ族氮化物半導體元件製程，其中該非晶性氮化矽層之最佳厚度則約為10A~30A。

25. 如申請專利範圍第20項所述之Ⅲ族氮化物半導體元件製程，其中該金屬鋁介面層之厚度則約介於5A~20A之間。

26. 如申請專利範圍第20項所述之Ⅲ族氮化物半導體元件



六、申請專利範圍

製程，其中該金屬鋁介面層與該非晶性氮化矽層之間形成鋁－氮鍵結。

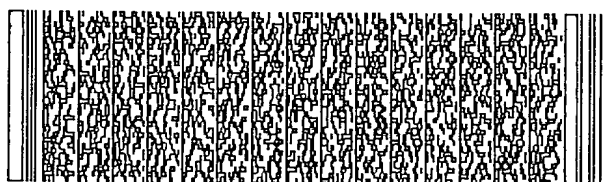
27. 如申請專利範圍第20項所述之Ⅲ族氮化物半導體元件製程，其中該非晶性氮化鋁前置層之厚度則約介於5Å~500Å之間。

28. 如申請專利範圍第20項所述之Ⅲ族氮化物半導體元件製程，其中該非晶性氮化鋁前置層形成時，會與該金屬鋁介面層進行重排，使得該非晶性氮化鋁前置層與該矽基板之間的應力釋緩。

29. 如申請專利範圍第20項所述之Ⅲ族氮化物半導體元件製程，其中該多晶性含鋁元素之Ⅲ族氮化物層係作為該單晶性Ⅲ族氮化物層之緩衝層。

30. 如申請專利範圍第20項所述之Ⅲ族氮化物半導體元件製程，其中該半導體元件係從下列選出：發光二極體、雷射二極體、光二極體(photodiode)、微電子元件結構及微機電元件結構。

31. 如申請專利範圍第20項所述之Ⅲ族氮化物半導體元件製程，其中形成該單晶性Ⅲ族氮化物半導體元件結構層之步驟更包含：



#### 六、申請專利範圍

形成一發光層(active layer)；

形成一介於該發光層與該應力釋緩層之間之第一Ⅲ族氮化物導電層；及

形成一位於該發光層之上之第二Ⅲ族氮化物導電層，其導電性與該第一Ⅲ族氮化物導電層相異。

32. 如申請專利範圍第31項所述之Ⅲ族氮化物半導體元件製程，其中形成該單晶性Ⅲ族氮化物半導體元件結構層之步驟更包含形成位於該第二Ⅲ族氮化物導電層上方之一第一電極。

33. 如申請專利範圍第32項所述之Ⅲ族氮化物半導體元件製程，其中該第一電極係藉由蝕刻該部分第二Ⅲ族氮化物導電層而得。

34. 如申請專利範圍第31項所述之Ⅲ族氮化物半導體元件製程，其中形成該單晶性Ⅲ族氮化物半導體元件結構層之步驟更包含形成位於該矽基板下方之一第一電極。

35. 如申請專利範圍第31項所述之Ⅲ族氮化物半導體元件製程，其中形成該單晶性Ⅲ族氮化物半導體元件結構層之步驟更包含位於該第一Ⅲ族氮化物導電層上方之一透明電極。



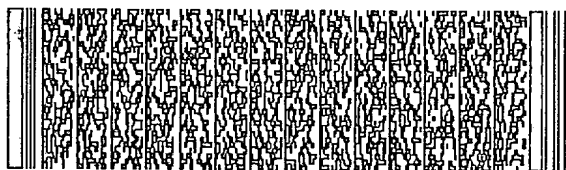


六、申請專利範圍

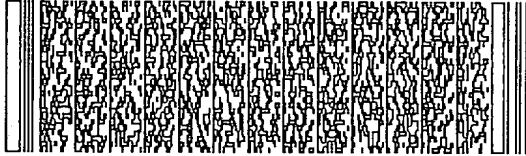
36. 如申請專利範圍第35項所述之Ⅲ族氮化物半導體元件製程，其中形成該單晶性Ⅲ族氮化物半導體元件結構層之步驟更包含位於該透明電極上方之一第二電極。

37. 如申請專利範圍第36項所述之Ⅲ族氮化物半導體元件製程，其中該電極之材料係從下述者選出：Ti／Al 及 Ni／Au。

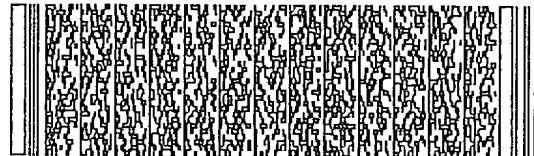
38. 如申請專利範圍第31項所述之Ⅲ族氮化物半導體元件製程，其中該發光層之結構係從下述者選出：同質結構(homostructure)、異質結構(heterostructure)、雙異質結構(double-heterostructure)、單量子井結構(single-quantum-well)與多重量子井結構(multiple-quantum-well)。



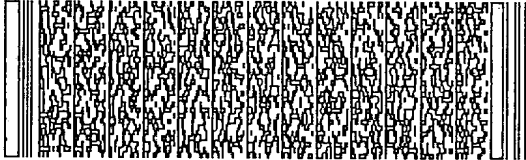
第 1/31 頁



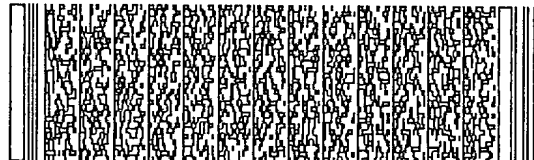
第 1/31 頁



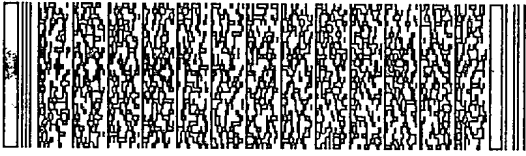
第 2/31 頁



第 2/31 頁



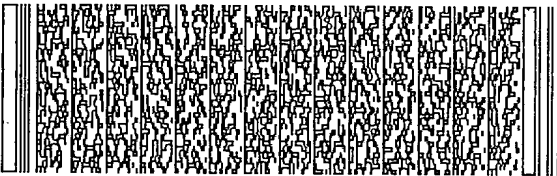
第 3/31 頁



第 4/31 頁



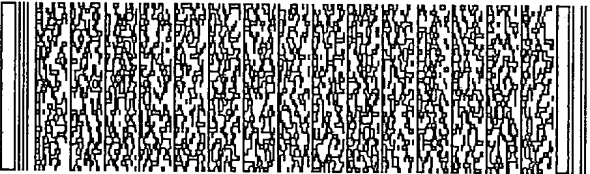
第 5/31 頁



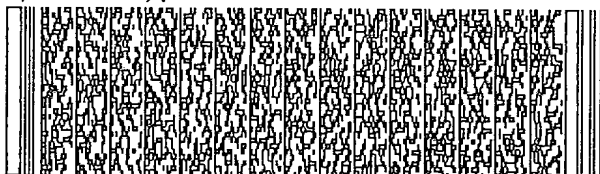
第 5/31 頁



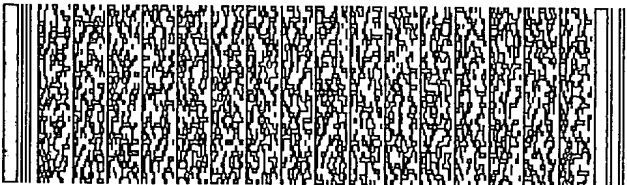
第 6/31 頁



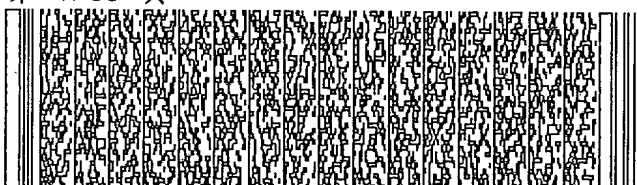
第 6/31 頁



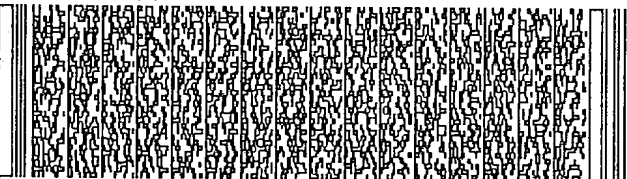
第 7/31 頁



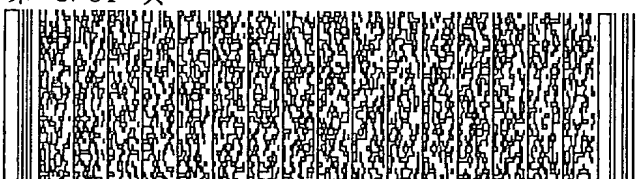
第 7/31 頁



第 8/31 頁



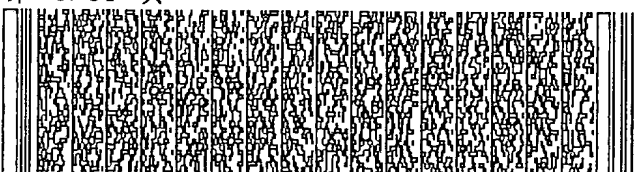
第 8/31 頁



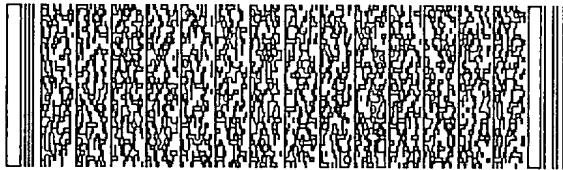
第 9/31 頁



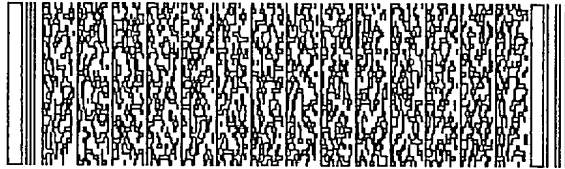
第 9/31 頁



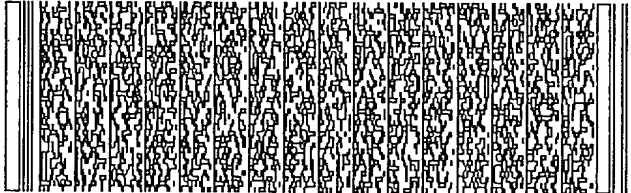
第 10/31 頁



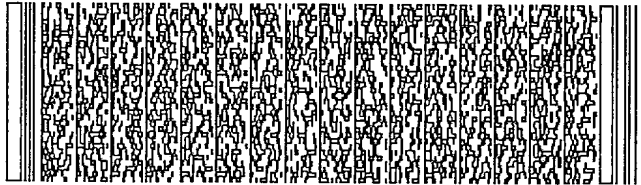
第 10/31 頁



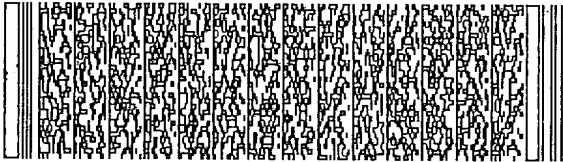
第 11/31 頁



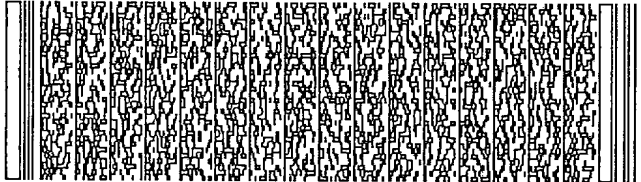
第 12/31 頁



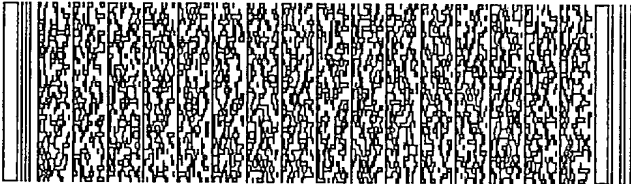
第 13/31 頁



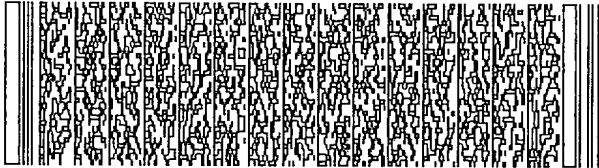
第 14/31 頁



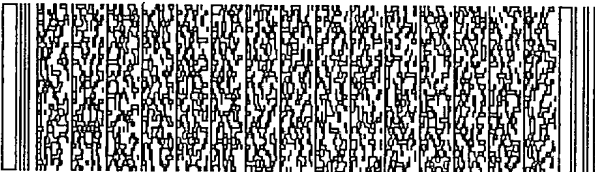
第 15/31 頁



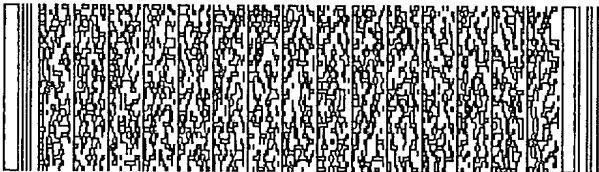
第 16/31 頁



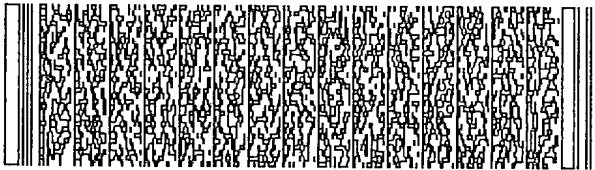
第 17/31 頁



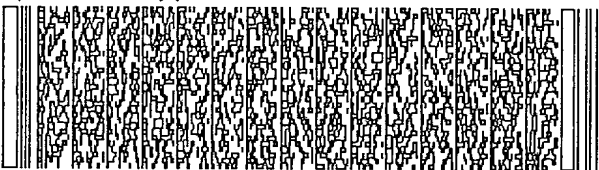
第 17/31 頁



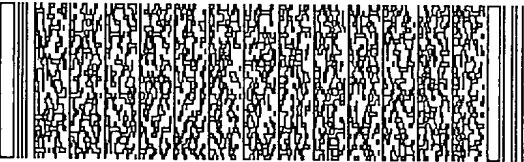
第 18/31 頁



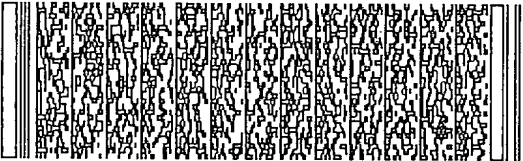
第 18/31 頁



第 19/31 頁



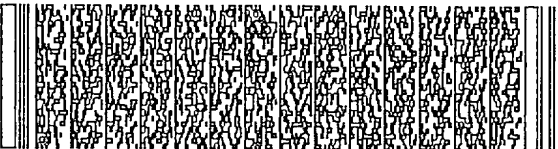
第 19/31 頁



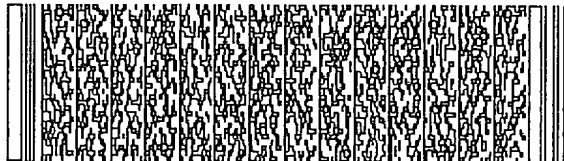
第 20/31 頁



第 21/31 頁



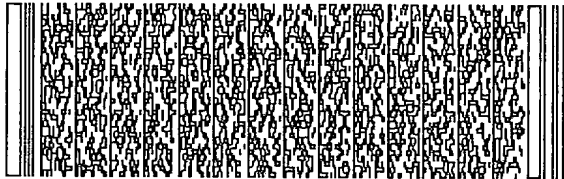
第 22/31 頁



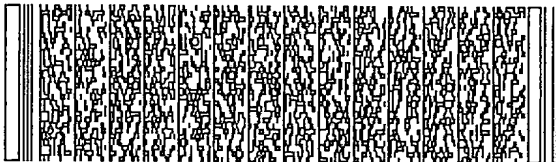
第 23/31 頁



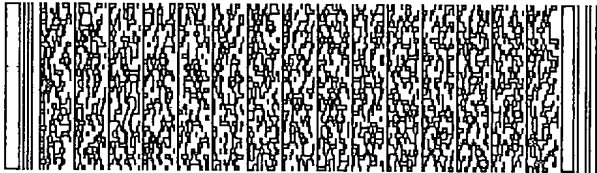
第 24/31 頁



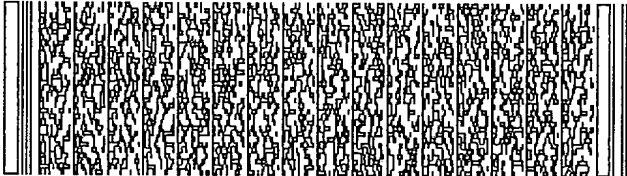
第 25/31 頁



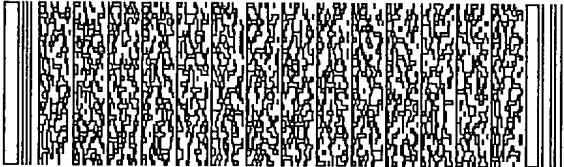
第 26/31 頁



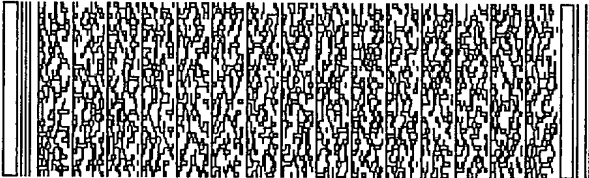
第 27/31 頁



第 28/31 頁



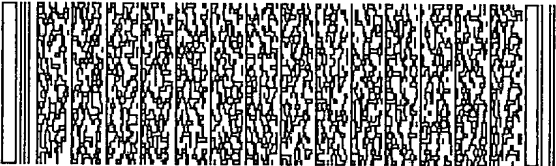
第 29/31 頁



第 30/31 頁



第 31/31 頁



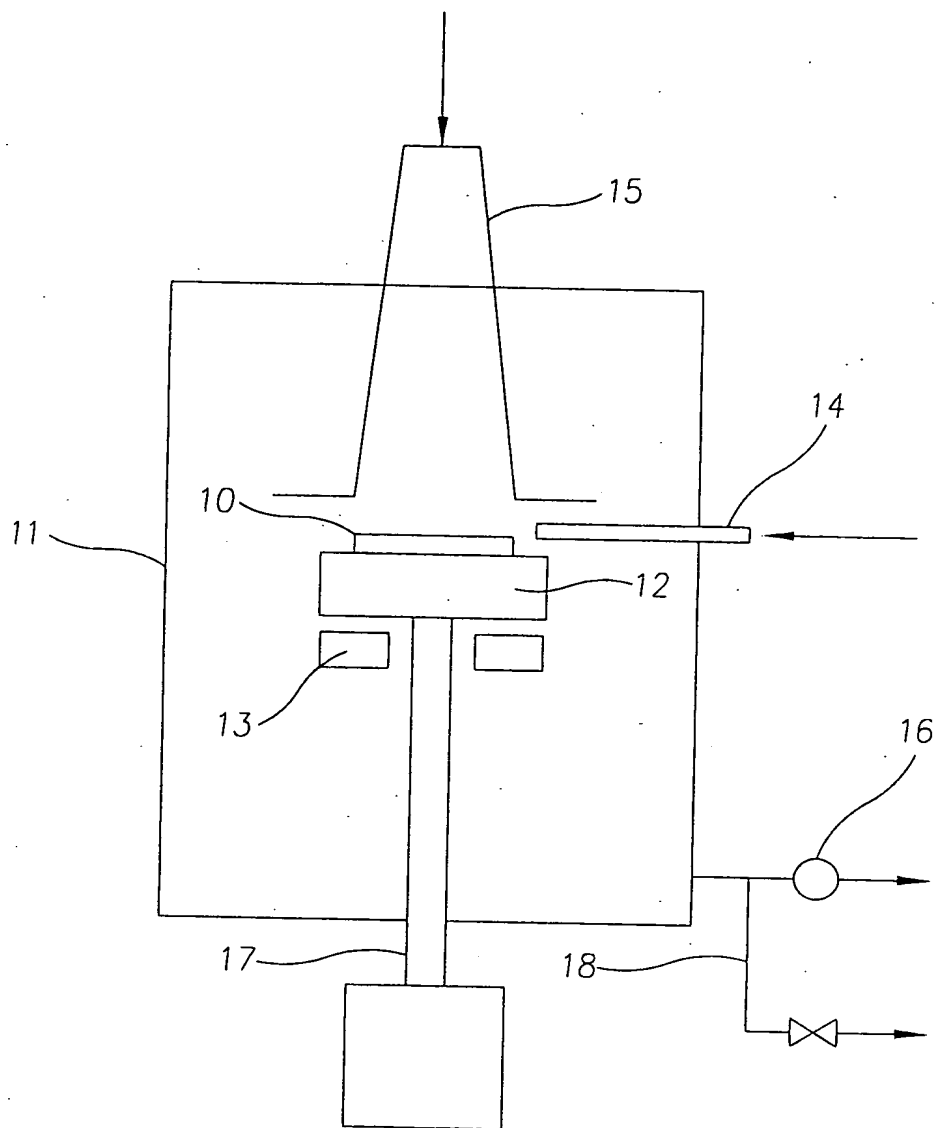


圖 1

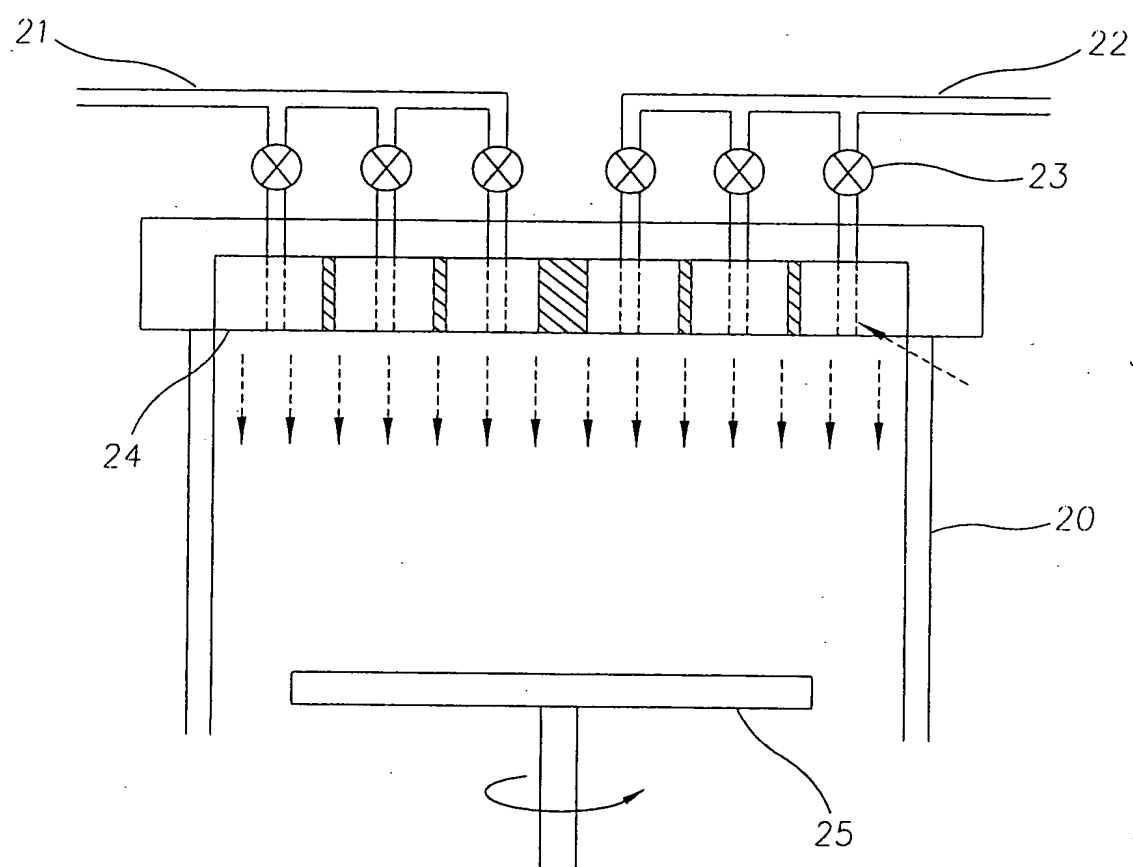


圖 2

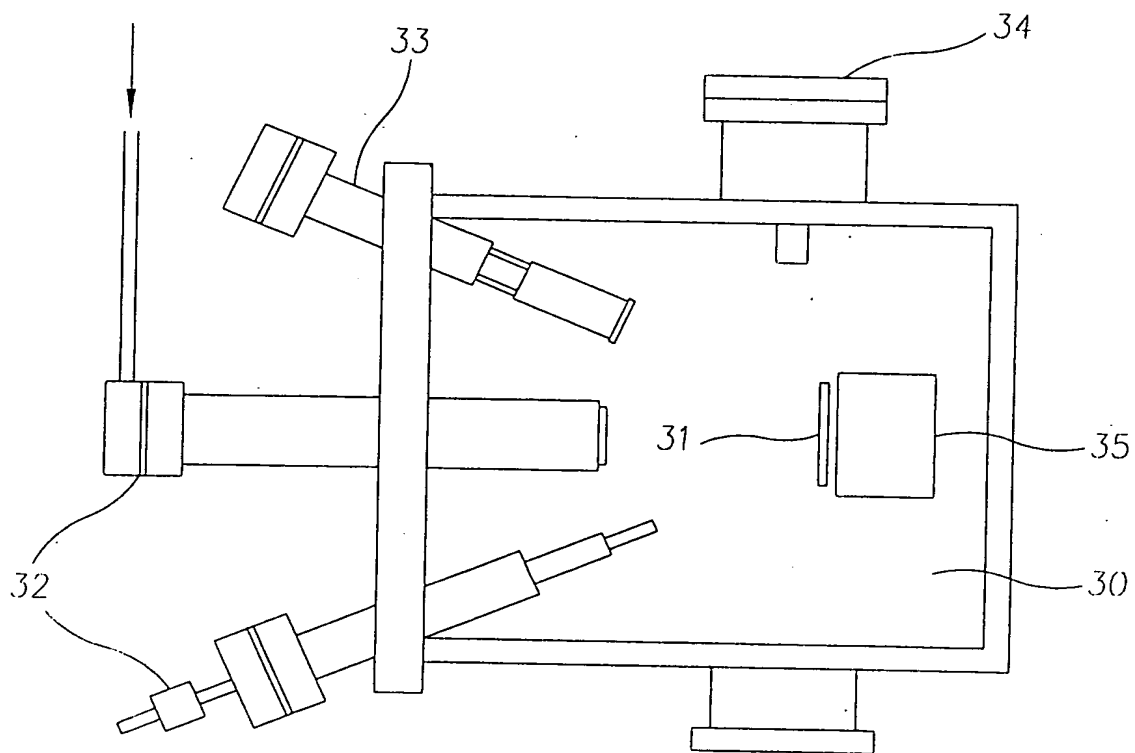


圖 3

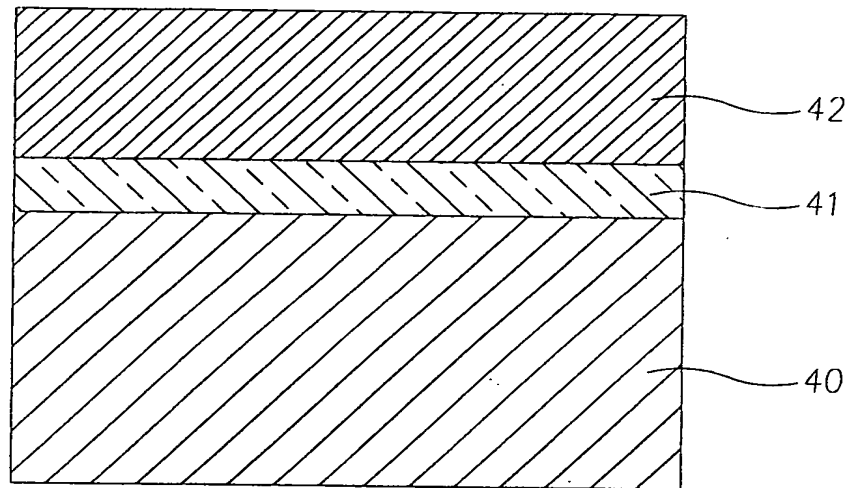


圖 4

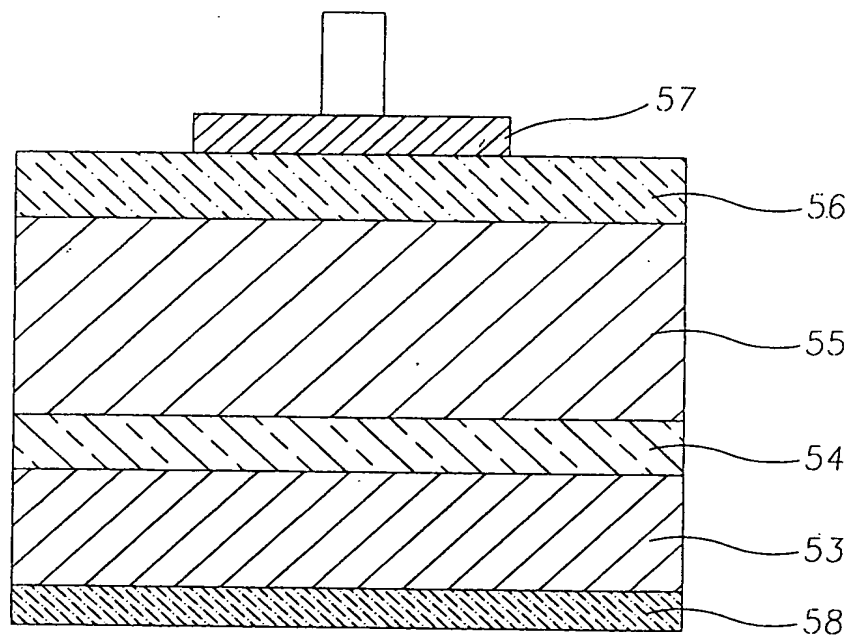


圖 5



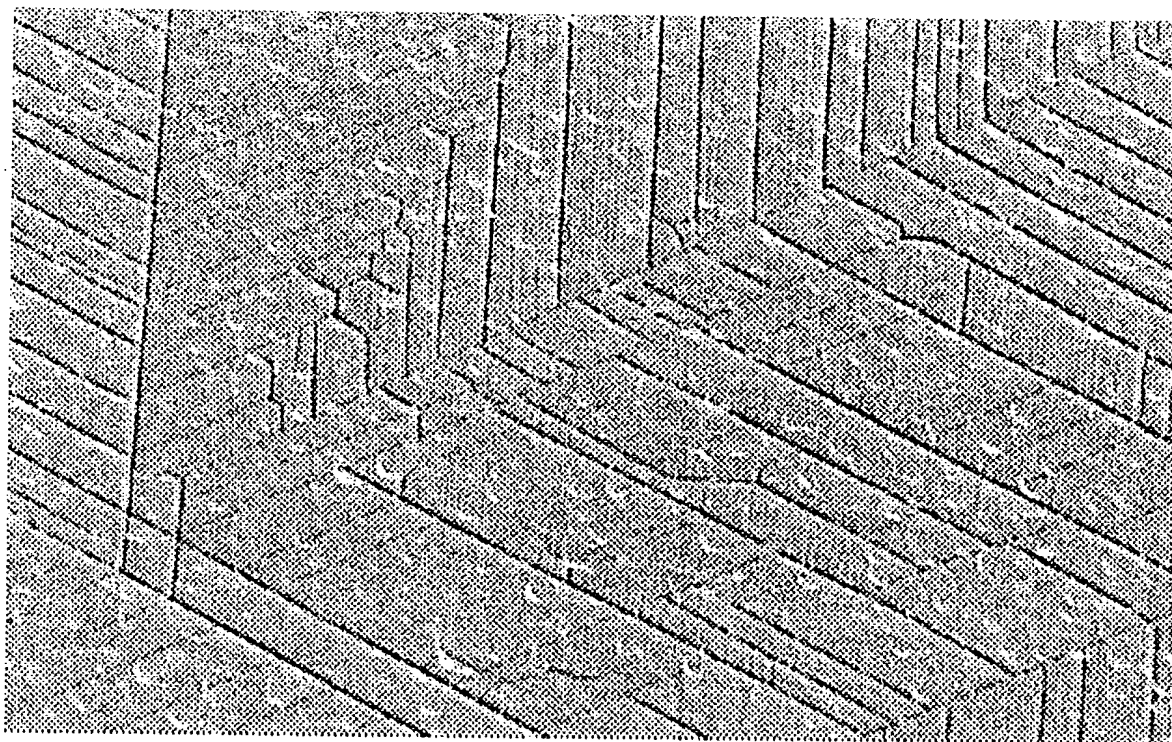


圖 六

BEST AVAILABLE COPY

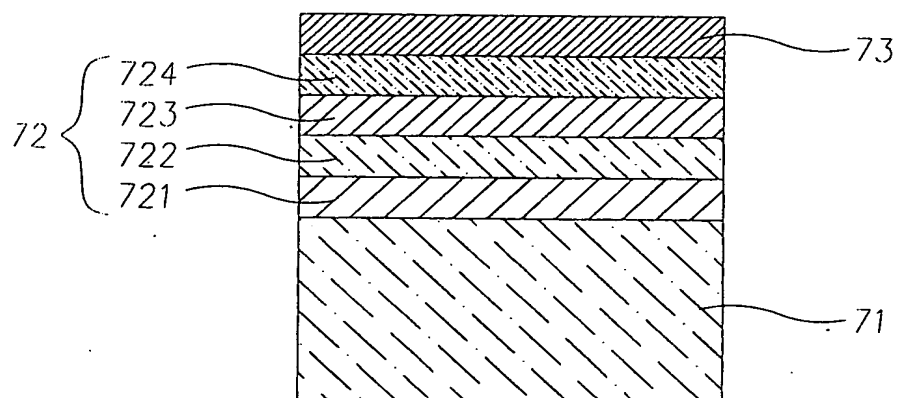


圖 7

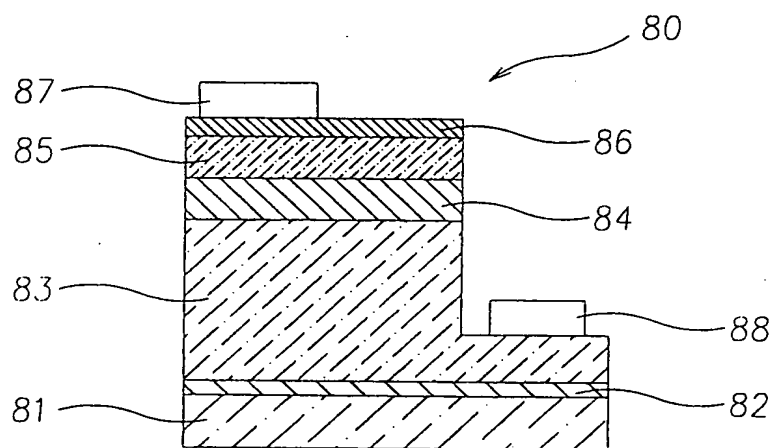


圖 8

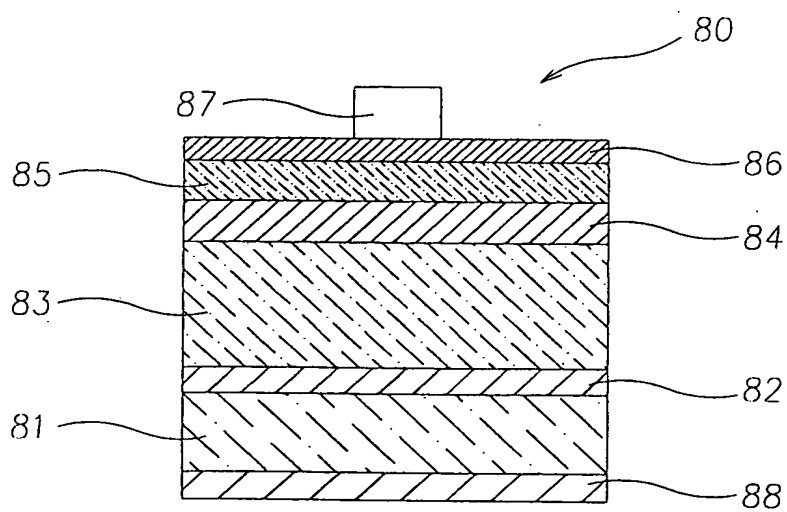


圖 9